



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): **Toshio MAEJIMA**

Appl. No.:	10	787,285
Series Code	↑	↑ Serial No.

Group Art Unit: Unknown

Filed: February 26, 2004

Examiner: Not Assigned

Title: **PULSE WIDTH MODULATION AMPLIFIER**

Atty. Dkt.	P 308453	H8019US
	M#	Client Ref

Date: March 18, 2004

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Commissioner of Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2003-053873	Japan	February 28, 2003
2004-013361	Japan	January 21, 2004

Respectfully submitted,

Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street,
Suite 2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

Atty/Sec: RRW/msg

By Atty: **Roger R. Wise**

Reg. No. **31204**

Sig:

Fax: **(213) 629-1033**
Tel: **(213) 488-7584**

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月21日

出願番号
Application Number: 特願2004-013361
[ST. 10/C]: [JP2004-013361]

出願人
Applicant(s): ヤマハ株式会社

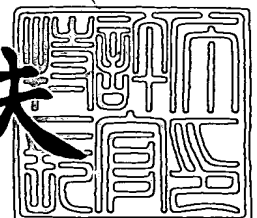
48019

中

2004年 2月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3013033

【書類名】 特許願
【整理番号】 C31840
【提出日】 平成16年 1月21日
【あて先】 特許庁長官 殿
【国際特許分類】 H03F 3/217
H03K 7/08
【発明者】
【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内
【氏名】 前島 利夫
【特許出願人】
【識別番号】 000004075
【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号
【氏名又は名称】 ヤマハ株式会社
【代表者】 伊藤 修二
【代理人】
【識別番号】 100081880
【弁理士】
【氏名又は名称】 渡部 敏彦
【電話番号】 03(3580)8464
【先の出願に基づく優先権主張】
【出願番号】 特願2003- 53873
【出願日】 平成15年 2月28日
【手数料の表示】
【予納台帳番号】 007065
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9202766

【書類名】 特許請求の範囲**【請求項 1】**

三角波を生成する三角波生成手段と、
該三角波生成手段によって生成された三角波に基づいて、入力信号をパルス幅変調増幅して出力するパルス幅変調増幅手段とを有し、
前記三角波生成手段は、
増幅器と、該増幅器の入力端および出力端間に介装された容量とからなる積分手段と、
前記容量に所定方向の定電流を流すことにより、前記増幅器の出力が第 1 の規定電圧へ向かうように充電する第 1 の定電流手段と、
前記容量に前記所定方向と逆方向の定電流を流すことにより、前記増幅器の出力が、前記第 1 の規定電圧より低い第 2 の規定電圧へ向かうように放電する第 2 の定電流手段と、
前記第 1 および第 2 の定電流手段の定電流値を設定する定電流値設定手段と、
該定電流値設定手段によって設定される定電流値を変動させる変動手段と、
前記第 1 の定電流手段の定電流をオン／オフ制御する第 1 のスイッチ手段と、
前記第 2 の定電流手段の定電流をオン／オフ制御する第 2 のスイッチ手段と、
前記増幅器の出力電圧と前記第 1 の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第 1 の比較手段と、
前記増幅器の出力電圧と前記第 2 の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第 2 の比較手段と、
前記第 1 の比較手段により、前記増幅器の出力電圧が上昇して前記第 1 の規定電圧に到達したことが検出されたとき、または、前記第 2 の比較手段により、前記増幅器の出力電圧が下降して前記第 2 の規定電圧に到達したことが検出されたときに、出力信号の論理を反転させるフリップフロップであって、該出力信号の論理に応じて、前記第 1 および第 2 のスイッチ手段をオン／オフ制御するものと
からなることを特徴とするパルス幅変調増幅器。

【請求項 2】

前記電流設定手段は、
外部から供給されるクロックパルスの位相と、前記フリップフロップからの出力信号の位相とを比較する位相比較手段と、
該位相比較手段による比較結果に応じた方向および値の電流を生成する電流生成手段と、
該電流生成手段によって生成された電流を積分するロウパスフィルタと、
該ロウパスフィルタからの出力に応じて、前記第 1 および第 2 の定電流手段の定電流を制御する制御手段と
からなることを特徴とする請求項 1 に記載のパルス幅変調増幅器。

【請求項 3】

前記変動手段は、
前記ロウパスフィルタの総容量を変動させるための容量と、
該容量を前記ロウパスフィルタに接続させるか否かを制御する第 3 のスイッチ手段と、
前記容量に蓄えられた電荷を放電するか否かを制御する第 4 のスイッチ手段と、
前記フリップフロップからの出力信号の立ち上がりに同期して、出力信号の論理を反転させる D フリップフロップであって、該出力信号の論理に応じて、前記第 3 および第 4 のスイッチ手段をオン／オフ制御するものと
からなることを特徴とする請求項 2 に記載のパルス幅変調増幅器。

【請求項 4】

前記変動手段は、
前記電流生成手段によって生成される各方向の電流の値をそれぞれ変動させるか否かを制御する第 5 および第 6 のスイッチ手段と、
前記フリップフロップからの出力信号の立ち上がりに同期して、出力信号の論理を反転

させるDフリップフロップであって、該出力信号の論理に応じて、前記第5および第6のスイッチ手段をオン／オフ制御するものと

からなることを特徴とする請求項2に記載のパルス幅変調増幅器。

【請求項5】

前記制御手段は、前記ロウパスフィルタからの出力をゲートに入力し、直列接続された第1および第2の抵抗をソースに接続したFETからなり、ソースゲートバイアスのレベルに応じてドレインに流れる電流を制御することにより、前記第1および第2の定電流手段の定電流を制御し、

前記変動手段は、

前記第2の抵抗を短絡するか否かを制御する第7のスイッチ手段と、

前記フリップフロップからの出力信号の立ち上がり同期して、出力信号の論理を反転させるDフリップフロップであって、該出力信号の論理に応じて、前記第7のスイッチ手段をオン／オフ制御するものと

からなる

ことを特徴とする請求項2に記載のパルス幅変調増幅器。

【請求項6】

三角波を生成する三角波生成手段と、

該三角波生成手段によって生成された三角波に基づいて、入力信号をパルス幅変調増幅して出力するパルス幅変調増幅手段と

を有し、

前記三角波生成手段は、

増幅器と、該増幅器の入力端および出力端間に介装された容量とからなる積分手段と、

前記容量に所定方向の定電流を流すことにより、前記増幅器の出力が第1の規定電圧へ向かうように充電する第1の定電流手段と、

前記容量に前記所定方向と逆方向の定電流を流すことにより、前記増幅器の出力が、前記第1の規定電圧より低い第2の規定電圧へ向かうように放電する第2の定電流手段と、

前記第1および第2の定電流手段の定電流値を設定する定電流値設定手段と、

前記容量に流す、前記所定方向および該所定方向とは逆方向の定電流を変動させる変動手段と、

該変動手段によって前記第1の定電流手段の定電流が変動された場合には、該変動された定電流をオン／オフ制御する一方、該変動手段によって前記第1の定電流手段の定電流が変動されない場合には、該変動されない定電流をオン／オフ制御する第1のスイッチ手段と、

前記変動手段によって前記第2の定電流手段の定電流が変動された場合には、該変動された定電流をオン／オフ制御する一方、前記変動手段によって前記第2の定電流手段の定電流が変動されない場合には、該変動されない定電流をオン／オフ制御する第2のスイッチ手段と、

前記増幅器の出力電圧と前記第1の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第1の比較手段と、

前記増幅器の出力電圧と前記第2の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第2の比較手段と、

前記第1の比較手段により、前記増幅器の出力電圧が上昇して前記第1の規定電圧に到達したことが検出されたとき、または、前記第2の比較手段により、前記増幅器の出力電圧が下降して前記第2の規定電圧に到達したことが検出されたときに、出力信号の論理を反転させるフリップフロップであって、該出力信号の論理に応じて、前記第1および第2のスイッチ手段をオン／オフ制御するものと

からなることを特徴とするパルス幅変調増幅器。

【請求項7】

前記電流設定手段は、

外部から供給されるクロックパルスの位相と、前記フリップフロップからの出力信号の

位相とを比較する位相比較手段と、

該位相比較手段による比較結果に応じた方向および値の電流を生成する電流生成手段と

、
該電流生成手段によって生成された電流を積分するロウパスフィルタと、

該ロウパスフィルタからの出力に応じて、前記第1および第2の定電流手段の定電流を制御する制御手段と

からなることを特徴とする請求項6に記載のパルス幅変調増幅器。

【請求項8】

前記変動手段は、

前記第1の定電流手段と並列に接続するための第3の定電流源と、

前記第2の定電流手段と並列に接続するための第4の定電流源と、

前記第3および第4の電流源をそれぞれ前記第1および第2の定電流手段に接続するか否かを制御する第8および第9のスイッチ手段と、

前記フリップフロップからの出力信号の立ち上がりに同期して、出力信号の論理を反転させるDフリップフロップであって、該出力信号の論理に応じて、前記第7のスイッチ手段をオン／オフ制御するものと

からなる

ことを特徴とする請求項7に記載のパルス幅変調増幅器。

【書類名】明細書**【発明の名称】パルス幅変調増幅器****【技術分野】****【0001】**

本発明は、三角波を生成し、該三角波に基づいて、入力信号をパルス幅変調増幅するパルス幅変調（以下、「PWM」という）増幅器に関し、特に、出力信号に含まれ得るEMI（electromagnetic interference）を低減するようにしたPWM増幅器に関する。

【背景技術】**【0002】**

三角波を生成し、該三角波に基づいて、入力信号をPWM増幅して出力するときに、この出力信号に含まれ得るEMI（不要輻射）を低減するようにしたPWM増幅器は、従来から知られている。

【0003】

このようなPWM増幅器として、ランダム信号で周波数変調した三角波を生成し、該三角波に基づいて、入力信号をPWM増幅して出力することにより、出力信号に含まれ得るEMIを低減するようにしたものがある（たとえば、特許文献1参照）。

【特許文献1】 特公平7-85524号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

しかし、上記従来のPWM増幅器では、三角波をランダム信号で周波数変調するために、三角波発生回路の他に、ランダム信号発生器（発振器）と、該ランダム信号発生器からの信号によって周波数変調させるFM変調回路を備える必要があり、製造コストが増大していた。

【0005】

本発明は、この点に着目してなされたものであり、製造コストを低減させながらPWM出力に含まれ得るEMIを低減することが可能となるPWM増幅器を提供することを目的とする。

【課題を解決するための手段】**【0006】**

上記目的を達成するため、請求項1に記載のパルス幅変調増幅器は、三角波を生成する三角波生成手段と、該三角波生成手段によって生成された三角波に基づいて、入力信号をパルス幅変調増幅して出力するパルス幅変調増幅手段とを有し、前記三角波生成手段は、増幅器と、該増幅器の入力端および出力端間に介装された容量とからなる積分手段と、前記容量に所定方向の定電流を流すことにより、前記増幅器の出力が第1の規定電圧へ向かうように充電する第1の定電流手段と、前記容量に前記所定方向と逆方向の定電流を流すことにより、前記増幅器の出力が、前記第1の規定電圧より低い第2の規定電圧へ向かうように放電する第2の定電流手段と、前記第1および第2の定電流手段の定電流値を設定する定電流値設定手段と、該定電流値設定手段によって設定される定電流値を変動させる変動手段と、前記第1の定電流手段の定電流をオン／オフ制御する第1のスイッチ手段と、前記第2の定電流手段の定電流をオン／オフ制御する第2のスイッチ手段と、前記増幅器の出力電圧と前記第1の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第1の比較手段と、前記増幅器の出力電圧と前記第2の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第2の比較手段と、前記第1の比較手段により、前記増幅器の出力電圧が上昇して前記第1の規定電圧に到達したことが検出されたとき、または、前記第2の比較手段により、前記増幅器の出力電圧が下降して前記第2の規定電圧に到達したことが検出されたときに、出力信号の論理を反転させるフリップフロップであって、該出力信号の論理に応じて、前記第1および第2のスイッチ手段をオン／オフ制御するものとからなることを特徴とする。

【0007】

好ましくは、請求項 2 に記載のパルス幅変調増幅器は、請求項 1 のパルス幅変調増幅器において、前記電流設定手段は、外部から供給されるクロックパルスの位相と、前記フリップフロップからの出力信号の位相とを比較する位相比較手段と、該位相比較手段による比較結果に応じた方向および値の電流を生成する電流生成手段と、該電流生成手段によって生成された電流を積分するロウパスフィルタと、該ロウパスフィルタからの出力に応じて、前記第 1 および第 2 の定電流手段の定電流を制御する制御手段とからなることを特徴とする。

【0008】

さらに好ましくは、請求項 3 に記載のパルス幅変調増幅器は、請求項 2 のパルス幅変調増幅器において、前記変動手段は、前記ロウパスフィルタの総容量を変動させるための容量と、該容量を前記ロウパスフィルタに接続させるか否かを制御する第 3 のスイッチ手段と、前記容量に蓄えられた電荷を放電するか否かを制御する第 4 のスイッチ手段と、前記フリップフロップからの出力信号の立ち上がり同期して、出力信号の論理を反転させる D フリップフロップであって、該出力信号の論理に応じて、前記第 3 および第 4 のスイッチ手段をオン／オフ制御するものとからなることを特徴とする。

【0009】

また、好ましくは、請求項 4 に記載のパルス幅変調増幅器は、請求項 2 のパルス幅変調増幅器において、前記変動手段は、前記電流生成手段によって生成される各方向の電流の値をそれぞれ変動させるか否かを制御する第 5 および第 6 のスイッチ手段と、前記フリップフロップからの出力信号の立ち上がり同期して、出力信号の論理を反転させる D フリップフロップであって、該出力信号の論理に応じて、前記第 5 および第 6 のスイッチ手段をオン／オフ制御するものとからなることを特徴とする。

【0010】

さらに好ましくは、請求項 5 に記載のパルス幅変調増幅器は、請求項 2 のパルス幅変調増幅器において、前記制御手段は、前記ロウパスフィルタからの出力をゲートに入力し、直列接続された第 1 および第 2 の抵抗をソースに接続した FET からなり、ソースゲートバイアスのレベルに応じてドレインに流れる電流を制御することにより、前記第 1 および第 2 の定電流手段の定電流を制御し、前記変動手段は、前記第 2 の抵抗を短絡するか否かを制御する第 7 のスイッチ手段と、前記フリップフロップからの出力信号の立ち上がり同期して、出力信号の論理を反転させる D フリップフロップであって、該出力信号の論理に応じて、前記第 7 のスイッチ手段をオン／オフ制御するものとからなることを特徴とする。

【0011】

上記目的を達成するため、請求項 6 に記載のパルス幅変調増幅器は、三角波を生成する三角波生成手段と、該三角波生成手段によって生成された三角波に基づいて、入力信号をパルス幅変調増幅して出力するパルス幅変調増幅手段とを有し、前記三角波生成手段は、増幅器と、該増幅器の入力端および出力端間に介装された容量とからなる積分手段と、前記容量に所定方向の定電流を流すことにより、前記増幅器の出力が第 1 の規定電圧へ向かうように充電する第 1 の定電流手段と、前記容量に前記所定方向と逆方向の定電流を流すことにより、前記増幅器の出力が、前記第 1 の規定電圧より低い第 2 の規定電圧へ向かうように放電する第 2 の定電流手段と、前記第 1 および第 2 の定電流手段の定電流値を設定する定電流値設定手段と、前記容量に流す、前記所定方向および該所定方向とは逆方向の定電流を変動させる変動手段と、該変動手段によって前記第 1 の定電流手段の定電流が変動された場合には、該変動された定電流をオン／オフ制御する一方、該変動手段によって前記第 1 の定電流手段の定電流が変動されない場合には、該変動されない定電流をオン／オフ制御する第 1 のスイッチ手段と、前記変動手段によって前記第 2 の定電流手段の定電流が変動された場合には、該変動された定電流をオン／オフ制御する一方、前記変動手段によって前記第 2 の定電流手段の定電流が変動されない場合には、該変動されない定電流をオン／オフ制御する第 2 のスイッチ手段と、前記増幅器の出力電圧と前記第 1 の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第 1 の比較手段と、前記増幅器

の出力電圧と前記第2の規定電圧とを比較し、該比較結果に応じた論理の信号を出力する第2の比較手段と、前記第1の比較手段により、前記増幅器の出力電圧が上昇して前記第1の規定電圧に到達したことが検出されたとき、または、前記第2の比較手段により、前記増幅器の出力電圧が下降して前記第2の規定電圧に到達したことが検出されたときに、出力信号の論理を反転させるフリップフロップであって、該出力信号の論理に応じて、前記第1および第2のスイッチ手段をオン／オフ制御するものとなることを特徴とする。

【0012】

好ましくは、請求項7に記載のパルス幅変調増幅器は、請求項6のパルス幅変調増幅器において、前記電流設定手段は、外部から供給されるクロックパルスの位相と、前記フリップフロップからの出力信号の位相とを比較する位相比較手段と、該位相比較手段による比較結果に応じた方向および値の電流を生成する電流生成手段と、該電流生成手段によって生成された電流を積分するローパスフィルタと、該ローパスフィルタからの出力に応じて、前記第1および第2の定電流手段の定電流を制御する制御手段となることを特徴とする。

【0013】

さらに好ましくは、請求項8に記載のパルス幅変調増幅器は、請求項7のパルス幅変調増幅器において、前記変動手段は、前記第1の定電流手段と並列に接続するための第3の定電流源と、前記第2の定電流手段と並列に接続するための第4の定電流源と、前記第3および第4の電流源をそれぞれ前記第1および第2の定電流手段に接続するか否かを制御する第8および第9のスイッチ手段と、前記フリップフロップからの出力信号の立ち上がり同期して、出力信号の論理を反転させるDフリップフロップであって、該出力信号の論理に応じて、前記第7のスイッチ手段をオン／オフ制御するものとなることを特徴とする。

【発明の効果】

【0014】

請求項1に記載の発明によれば、入力信号をパルス幅変調するための三角波の傾きを決める定電流値を、定電流値設定手段によって設定される値から変動させる変動手段を設け、その変動手段を簡単な構成で実現するようにしたので、製造コストを低減させながらPWM出力に含まれ得るEMIを低減することが可能となる。

【0015】

請求項6に記載の発明によれば、入力信号をパルス幅変調するための三角波の傾きを決める定電流値を変動させる変動手段を設け、その変動手段を簡単な構成で実現するようにしたので、製造コストを低減させながらPWM出力に含まれ得るEMIを低減することが可能となる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】

図1は、本発明の第1の実施の形態に係るPWM増幅器の全体構成を示すブロック図である。

【0018】

同図に示すように、本実施の形態のPWM増幅器は、単一電源VBBで動作するBTL (Balanced Transformer Less) 出力回路を備えた、左チャンネル(Lch)のPWM増幅部1と、同様に単一電源で動作するBTL出力回路を備えた、右チャンネル(Rch)のPWM増幅部2と、所定の周波数範囲内の三角波を発生し、この三角波をPWM増幅部1および2に供給する三角波発生回路3とにより、主として構成されている。

【0019】

Lch PWM増幅部1は、音声信号である入力信号INを増幅する入力信号増幅部11と、増幅された入力信号INのレベルと三角波発生回路3から供給された三角波のレベル

とを比較することにより、入力信号 I N のレベルに応じたデューティ比のパルス信号を生成する PWM 部 1 2 と、電界効果トランジスタ PNM1, PPM1, PNM2, PPM2 と、該電界効果トランジスタ PNM1, PPM1, PNM2, PPM2 をドライブ（駆動）する MOS（Metal Oxide Semiconductor）ドライバ 1 3 と、出力端子 +O U T, -O U T を短絡すること等により、電界効果トランジスタ PNM1, PPM1, PNM2, PPM2 に流れる過大電流を、抵抗 R 1 に印加される電圧値を検出することで検出する第 1 の過電流検出（O C P）回路 1 4 と、電界効果トランジスタ PNM1, PPM1, PNM2, PPM2 に流れる上記過大電流を、抵抗 R 2 に印加される電圧値を検出することで検出するとともに、後述する LC フィルタを介して接続されるスピーカの一方の信号入力端子を、出力端子 +O U T, -O U T の一方に接続したまま、スピーカのもう一方の信号入力端子を接地したときに、スピーカに直流電流が流れることを、上記抵抗 R 2 に印加される負電圧を検出することで検出する第 2 の過電流検出（O C P）回路 1 5 とによって構成されている。

【0020】

そして、ドライバ 1 3 と電界効果トランジスタ PNM1, PPM1, PNM2, PPM2 によって、B T L 出力回路を構成し、この B T L 出力回路は、単一電源 V B B によって動作する。

【0021】

ドライバ 1 3 には、PWM 部 1 2 から PWM 出力が供給され、ドライバ 1 3 は、PWM 出力を反転した反転パルスを生成し、PWM 出力とその反転パルスとを出力する。

【0022】

ドライバ 1 3 から出力される PWM 出力によって、P チャンネル電界効果トランジスタ PPM1 と N チャンネル電界効果トランジスタ PNM1 とからなる第 1 のコンプリメンタリ回路が駆動され、ドライバ 1 3 から出力される PWM 出力の反転パルスによって、P チャンネル電界効果トランジスタ PPM2 と N チャンネル電界効果トランジスタ PNM2 とからなる第 2 のコンプリメンタリ回路が駆動される。

【0023】

そして、第 1 および第 2 のコンプリメンタリ回路の各出力は、1 つのコイルと 1 つのコンデンサからなる第 1 のロウパスフィルタ（図示せず）および 1 つのコイルと 1 つのコンデンサからなる第 2 のロウパスフィルタ（図示せず）にそれぞれ供給され、第 1 および第 2 のロウパスフィルタにて高周波成分が除去され、第 1 および第 2 のロウパスフィルタの出力でスピーカが駆動される。

【0024】

なお、第 1 および第 2 の過電流検出回路 1 4, 1 5 は、本発明に必須のものではないので、その説明は省略する。

【0025】

また、R c h PWM 増幅部 2 は、L c h PWM 増幅部 1 と同様に構成されているため、その詳細な構成は図示されていない。

【0026】

図 2 は、前記三角波発生回路 3 の詳細な回路構成の一例を示す図である。同図の三角波発生回路 3 は、特願 2002-181772 号で先に出願した、図 5 の三角波発生回路 1 0 0 に基づいて構成されているため、図 5 および図 6 を参照して、三角波発生回路 1 0 0 の動作の概要を説明した後に、図 2 を参照して、三角波発生回路 3 の構成および作用（動作）を詳細に説明する。

【0027】

図 5 において、三角波発生回路 1 0 0 に電源が投入されると、NAND ゲート 1 2 5 の出力信号 N F B のハイ／ロウに応じて、スイッチ素子 1 1 8 または 1 1 9 のいずれかがオンになる。いま、信号 N F B がロウであり、スイッチ素子 1 1 8 がオンになったとすると、P チャンネル F E T（電界効果トランジスタ）1 1 7 からの電流（定電流）によってコンデンサ 1 2 0 が逐次充電され、演算増幅器 1 2 1 の出力電圧は、図 6（a）の傾き P 1

のように、直線的に下降する。そして、演算増幅器 121 の出力電圧が V_L に達すると（時刻 t_1 ）、コンパレータ 123 の出力信号 NLO がロウになり（図 6（b））、これにより、NANDゲート 125 の出力信号、つまり前記信号 NFB はハイになる（図 6（c））。

【0028】

信号 NFB がハイになると、スイッチ素子 118, 119 はそれぞれオフ／オンになり、コンデンサ 120 は、Nチャンネル FET 116 の電流（定電流）によって上記方向と逆方向に放電されるので、演算増幅器 121 の出力電圧は上昇を開始する。演算増幅器 121 の出力電圧が上昇し、所定の閾値を超えると、コンパレータ 123 の出力信号 NLO はハイに戻るが（図 6（b））、NANDゲート 124 の出力がロウに変化しているため、信号 NFB はハイを継続し、これにより、演算増幅器 121 の出力電圧は、図 6（a）の傾き P_2 のように、直線的に上昇する。

【0029】

そして、時刻 t_2 で、演算増幅器 121 の出力電圧が V_H に達すると、コンパレータ 122 の出力信号 NHI がロウになり（図 6（d））、これにより、NANDゲート 124 の出力信号は反転してハイになり、NANDゲート 125 の出力 NFB がロウになる（図 6（c））。信号 NFB がロウになると、スイッチ素子 118, 119 はそれぞれオン／オフになり、再び演算増幅器 121 の出力電圧は下降を開始する。演算増幅器 121 の出力電圧が下降を開始すると、コンパレータ 122 の出力信号 NHI はハイに戻る。

【0030】

以下、上述の動作が繰り返され、出力端子 $Tout$ から三角波の出力電圧 $Vout$ が得られる。そして、以上の説明から明らかなように、三角波の立ち上がり／立ち下がり の速度は、それぞれ、FET 117, 116 に流れる電流値によって決まり、その電流値が大であれば、立ち上がり／立ち下がり が急峻な勾配の波形になる一方、その電流値が小であれば、立ち上がり／立ち下がり が緩やかな勾配の波形になる。

【0031】

次に、FET 116, 117 に流れる電流値を決定する回路について説明する。

【0032】

いま、端子 $Tclk$ に基準クロックパルス CLK （図 6（e））を入力すると、位相比較器 101 は信号 NFB の位相とクロックパルス CLK の位相を比較し、この比較結果に従って出力端子 UP または DW からハイレベル信号を FET 102 または 103 に出力する。この結果、FET 103 がオンすると、そのドレインに接続されている定電流源 105 によって、定電流 I が、コンデンサ 107, 108 と抵抗 109 からなるロウパスフィルタ（積分回路）106 に流れ込む一方、FET 102 がオンすると、そのソースに接続されている定電流源 104 によって、定電流 I が、ロウパスフィルタ 106 から流れ出す。これにより、位相比較器 101 の出力に対応するアナログ信号 $PLLC$ （図 6（f））が FET 110 のゲートに印加される。

【0033】

FET 110 は、このアナログ信号 $PLLC$ のレベル（電位）に基づいて、FET 112 に流れる電流を制御する。すなわち、信号 $PLLC$ のレベルが大になると、FET 110 のソースゲートバイアスが大になって、FET 112 に流れる電流が減少する一方、信号 $PLLC$ のレベルが小になると、FET 110 のソースゲートバイアスが小になって、FET 112 に流れる電流が増加する。

【0034】

そして、FET 110, 112 および抵抗 111 の直列回路と FET 113～115 の直列回路とはカレントミラー回路を構成し、FET 110, 112 および抵抗 111 の直列回路と FET 117 とはカレントミラー回路を構成し、さらに、FET 113～115 の直列回路と FET 116 とはカレントミラー回路を構成しているので、FET 112 に流れる電流の値と、FET 116, 117 に流れる電流の値は、FET サイズ比になる。すなわち、FET 112 に流れる電流の値が変化すると、FET 116, 117 に流れる

電流の値も同様に变化するので、これにより、演算増幅器 121 の出力電圧の立ち上がり／立ち下がり勾配が変化し、信号 NFB の周期が变化する。

【0035】

このように、PLL (phase locked loop) 作用により、信号 NFB の位相がクロックパルス CLK の位相と一致するように变化するので、信号 NFB の周期がクロックパルス CLK の周期に一致するようになる。つまり、出力端子 T o u t から出力される三角波の周期が、基準クロックパルス CLK の周期に等しくなる。

【0036】

次に、前記図 2 の三角波発生回路 3 を説明する。

【0037】

三角波発生回路 3 は、上記三角波発生回路 100 に対して、D フリップフロップ 31、スイッチ素子 32、33 およびコンデンサ 34 を追加したものであるため、図 2 中、図 5 と同様の要素には同一符号を付し、その説明を省略する。

【0038】

図 2 において、D フリップフロップ 31 の入力端子 CK には、前記信号 NFB が入力され、入力端子 D には、反転出力端子 QN からの出力信号が入力され、出力端子 Q は、スイッチ素子 32、33 に接続されている。

【0039】

スイッチ素子 32、33 は、たとえば、出力端子 Q の出力がハイのときに、それぞれオン／オフになる一方、出力端子 Q の出力がロウのときに、それぞれオフ／オンになるように構成されている。そして、スイッチ素子 32 は、そのオン／オフに従って、コンデンサ 34 をコンデンサ 107 と並列に接続するか／しないかを切り替えることにより、FET 110 のゲートに接続されているコンデンサの容量を変動させる機能を営んでいる。つまり、スイッチ素子 32 がオンのときには、オフのときに比較して、FET 110 のゲートに接続されているコンデンサの容量は大きくなるので、オフのときと同じ電流値の信号 PLLC が供給されたとしても、FET 110 のゲートに印加される電圧は変動（増加または減少）する。これにより、後述するように、三角波の傾きは変動する。他方、スイッチ素子 33 は、コンデンサ 34 に蓄えられた電荷を接地側に吸収（放電）する機能を営んでいる。つまり、スイッチ素子 33 を設けないと、スイッチ素子 32 が所定回数オン／オフを繰り返して、定電流源 105 からの定電流 I によってコンデンサ 34 が満充電状態になった後、FET 102 がオン状態にならない場合には、この満充電状態は継続し、FET 110 のゲートに印加される電圧が変動しなくなるので、スイッチ素子 33 を設けて、この不具合を解消するようにしている。これにより、上記場合であっても、三角波の傾きは変動する。

【0040】

以下、以上のように構成された三角波発生回路 3 の動作について説明する。

【0041】

三角波発生回路 3 に電源が供給され、信号 NFB がロウからハイに立ち上がったときに、D フリップフロップ 31 の入力端子 D にロウレベル信号が入力されていると、出力端子 Q からはロウレベル信号が出力され、これにより、スイッチ素子 32、33 はそれぞれオフ／オンになり、前記三角波発生回路 100 によって生成される三角波と同様の形状の三角波が生成される。

【0042】

図 3 は、三角波発生回路 3 および 100 によってそれぞれ生成される三角波の一例を示す図であり、(a) が三角波発生回路 3 によって生成される三角波を示し、(b) が三角波発生回路 100 によって生成される三角波を示している。

【0043】

すなわち、三角波発生回路 3 の上記動作により、図 3 (a) 中、時間 T1 で示される三角波が生成される。

【0044】

次に、信号NFBが再度ロウからハイに立ち上がると、このとき、Dフリップフロップ31の入力端子Dには、ハイレベル信号が入力されているので、出力端子Qからはハイレベル信号が出力され、これにより、スイッチ素子32, 33はそれぞれオン／オフになり、前述のように、コンデンサ34がコンデンサ107と並列に接続される。コンデンサ34がコンデンサ107と並列に接続されると、全体の静電容量は大きくなるので、信号PLLCとして同じ電流値のものが供給されたとしても、FET112のゲートに印加される電圧は変動する。つまり、このとき生成される三角波の傾きは、直前に生成された三角波の傾きと比較して、変化するので、たとえば、図3(a)中、時間T2で示される三角波が生成される。

【0045】

さらに、信号NFBが再度ロウからハイに立ち上がると、このとき、Dフリップフロップ31の入力端子Dには、ロウレベル信号が入力されているので、出力端子Qからはロウレベル信号が出力され、これにより、スイッチ素子32, 33はそれぞれオフ／オンになり、コンデンサ34とコンデンサ107との並列接続は解除され、コンデンサ34に蓄えられた電荷は接地側に吸収される。つまり、図3(a)中、前記時間T1の三角波と同様の形状の三角波が生成される(時間T3)。ただし、前述のように、三角波の形状は信号PLLCの電圧値(FET110のゲートに印加される電圧値)によって決まり、信号PLLCの電流値は位相比較器101からの出力値、すなわち、信号NFBの位相とクロックパルスCLKの位相との比較結果(位相のずれ)に応じて変化するので、時間T3の三角波の形状は、実際には、時間T1の三角波の形状と完全には一致しない。

【0046】

以上の動作が繰り返され、出力端子Toutから、勾配の異なる三角波、つまり周期の異なる三角波が生成されて出力される。

【0047】

このような三角波に基づいて、入力信号をPWM増幅して出力すると、前記従来のPWM増幅器と同様の原理により、出力信号に含まれ得るEMIを低減することができる。そして、三角波発生回路3では、通常の三角波を生成する三角波発生回路100の構成に、Dフリップフロップ31、スイッチ素子32, 33およびコンデンサ34のみを追加するだけで、勾配の異なる三角波を生成するようにしているため、前記従来のPWM増幅器と比較して、製造コストをより低減させることができる。

【0048】

次に、本発明の第2の実施の形態に係るPWM増幅器について説明する。

【0049】

本実施の形態のPWM増幅器は、上記第1の実施の形態のPWM増幅器に対して、三角波発生回路の構成が異なるのみであるので、三角波発生回路についてのみ説明する。

【0050】

図4は、本実施の形態のPWM増幅器に含まれる三角波発生回路3'の詳細な回路構成の一例を示す図であり、同図中、図2と同様の要素には同一符号を付し、その説明を省略する。

【0051】

図4において、スイッチ素子32', 33'は、それぞれ、定電流源35, 36を定電流源104, 105に並列に接続させる／させないを切り替える機能を営むものである。なお、スイッチ素子32', 33'は、前記図2のスイッチ素子32, 33と異なり、Dフリップフロップ31の出力端子Qの出力がハイのときに、ともにオンになる一方、出力端子Qの出力がロウのときに、ともにオフになるように構成されている。

【0052】

以下、以上のように構成された三角波発生回路3'の動作を説明する。

【0053】

三角波発生回路3'に電源が供給され、信号NFBがロウからハイに立ち上がったときに、Dフリップフロップ31の入力端子Dにロウレベル信号が入力されていると、出力端

子Qからはロウレベル信号が出力される。これにより、スイッチ素子32', 33'はオフになって、定電流源104, 105のみ有効となり、定電流源35, 36は回路3'から切り離されるので、信号PLLCは、位相比較器101からの出力に応じて、定電流源104, 105のうち的一方からの定電流Iとなる。

【0054】

次に、信号NFBがロウからハイに再度立ち上がると、このとき、Dフリップフロップ31の入力端子Dには、ハイレベル信号が入力されているので、出力端子Qからはハイレベル信号が出力される。これにより、スイッチ素子32', 33'はオンになって、定電流源104, 105に加えて、定電流源35, 36も有効になるので、信号PLLCは、位相比較器101からの出力に応じて、定電流源104, 35と定電流源105, 36のうちの方の組み合わせからの定電流I+iとなる。

【0055】

このような定電流Iと定電流I+iのPLL制御電流の変動によって、PLLCの電圧は変動し、三角波の傾きが変動する。

【0056】

以上の動作が繰り返され、出力端子Tou tから、勾配の異なる三角波、つまり周期の異なる三角波が生成されて出力される。

【0057】

このような三角波に基づいて、入力信号をPWM増幅して出力すると、前記従来のPWM増幅器と同様の原理により、出力信号に含まれるEMIを低減することができる。そして、三角波発生回路3では、通常の三角波を生成する三角波発生回路100の構成に、Dフリップフロップ31、スイッチ素子32', 33'および定電流源35, 36のみを追加するだけで、勾配の異なる三角波を生成するようにしているため、前記従来のPWM増幅器と比較して、製造コストをより低減させることができる。

【0058】

次に、本発明の第3の実施の形態に係るPWM増幅器について説明する。

【0059】

本実施の形態のPWM増幅器も、前記第1の実施の形態のPWM増幅器に対して、三角波発生回路の構成が異なるのみであるので、三角波発生回路についてのみ説明する。

【0060】

図7は、本実施の形態のPWM増幅器に含まれる三角波発生回路4の詳細な回路構成の一例を示す図であり、同図中、図2と同様の要素には同一符号を付し、その説明を省略する。

【0061】

図7において、スイッチ素子43, 44は、それぞれ、定電流源であるFET41, 42を定電流源であるFET117, 116に並列に接続させる／させないを切り替える機能を営むものである。なお、スイッチ素子43, 44は、前記図2のスイッチ素子32, 33と異なり、Dフリップフロップ31の出力端子Qの出力がハイのときに、ともにオンになる一方、出力端子Qの出力がロウのときに、ともにオフになるように構成されている。

【0062】

また、FET41とFET110, 112および抵抗111の直列回路とはカレントミラー回路を構成し、FET42とFET113~115の直列回路とはカレントミラー回路を構成している。そして、前記図5で説明したように、FET110, 112および抵抗111の直列回路とFET113~115の直列回路とはカレントミラー回路を構成し、FET110, 112および抵抗111の直列回路とFET117とはカレントミラー回路を構成し、さらに、FET113~115の直列回路とFET116とはカレントミラー回路を構成している。したがって、FET41, 42およびFET110, 112にそれぞれ流れる電流の値は、FETサイズ比になる。つまり、スイッチ素子43がオンになるとともに、スイッチ素子118がオンになると、コンデンサ120には、FET11

7の電流とFET41の電流の和の電流が流れ込む一方、スイッチ素子44がオンになるとともに、スイッチ素子119がオンになると、コンデンサ120からは、FET116の電流とFET42の電流の和の電流が流れ出す。

【0063】

以下、以上のように構成された三角波発生回路4の動作を説明する。

【0064】

三角波発生回路4に電源が供給され、信号NFBがロウからハイに立ち上がったときに、Dフリップフロップ31の入力端子Dにロウレベル信号が入力されていると、出力端子Qからはロウレベル信号が出力される。これにより、スイッチ素子43、44はオフになって、定電流源117、116のみ有効となり、定電流源41、42は回路4から切り離されるので、コンデンサ120に流れ込む電流は、定電流源117から流れ出す電流のみとなるとともに、コンデンサ120から流れ出す電流は、定電流源116に流れ込む電流のみとなって、前記図5の三角波発生回路100によって生成される三角波と同様の形状の三角波が生成される。すなわち、三角波発生回路4の上記動作により、前記図3(a)中、時間T1で示される三角波が生成される。

【0065】

次に、信号NFBがロウからハイに再度立ち上がると、このとき、Dフリップフロップ31の入力端子Dには、ハイレベル信号が入力されているので、出力端子Qからはハイレベル信号が出力される。これにより、スイッチ素子43、44はオンになって、定電流源117、116に加えて、定電流源41、42も有効になるので、コンデンサ120に流れ込む電流は、定電流源117から流れ出す電流と定電流源41から流れ出す電流とが加算されたものとなるとともに、コンデンサ120から流れ出す電流は、定電流源116に流れ込む電流と定電流源42に流れ込む電流とが加算されたものとなる。したがって、このとき生成される三角波の傾きは、直前に生成された三角波、すなわちスイッチ素子43、44がオフ時に生成された三角波の傾きと比較して、変化する。

【0066】

以上の動作が繰り返され、出力端子T_{out}から、勾配の異なる三角波、つまり周期の異なる三角波が生成されて出力される。

【0067】

このような三角波に基づいて、入力信号をPWM増幅して出力すると、前記従来のPWM増幅器と同様の原理により、出力信号に含まれ得るEMIを低減することができる。そして、三角波発生回路4では、通常の三角波を生成する三角波発生回路100の構成に、Dフリップフロップ31、FET41、42およびスイッチ素子43、44のみを追加するだけで、勾配の異なる三角波を生成するようにしているため、前記従来のPWM増幅器と比較して、製造コストをより低減させることができる。

【0068】

次に、本発明の第4の実施の形態に係るPWM増幅器について説明する。

【0069】

本実施の形態のPWM増幅器も、前記第1の実施の形態のPWM増幅器に対して、三角波発生回路の構成が異なるのみであるので、三角波発生回路についてのみ説明する。

【0070】

図8は、本実施の形態のPWM増幅器に含まれる三角波発生回路5の詳細な回路構成の一例を示す図であり、同図中、図2と同様の要素には同一符号を付し、その説明を省略する。

【0071】

図8において、FET52は、抵抗51を抵抗111と直列に接続させる／させないを切り替える機能を営むものである。すなわち、Dフリップフロップ31の出力端子Qの出力がハイのときに、FET52はオフになって、抵抗51は抵抗111と直列に接続される一方、出力端子Qの出力がロウのときに、FET52はオンになって、抵抗51は抵抗111と切り離される。

【0072】

以下、以上のように構成された三角波発生回路5の動作を説明する。

【0073】

三角波発生回路5に電源が供給され、信号NFBがロウからハイに立ち上がったときに、Dフリップフロップ31の入力端子Dにロウレベル信号が入力されていると、出力端子Qからはロウレベル信号が出力される。これにより、FET52はオンになって、抵抗51は抵抗111と切り離される。このとき、三角波発生回路5の構成は、前記図5の三角波発生回路100の構成と同じであるので、三角波発生回路5では、三角波発生回路100によって生成される三角波と同様の形状の三角波が生成される。すなわち、三角波発生回路5の上記動作により、前記図3(a)中、時間T1で示される三角波が生成される。

【0074】

次に、信号NFBがロウからハイに再度立ち上がると、このとき、Dフリップフロップ31の入力端子Dには、ハイレベル信号が入力されているので、出力端子Qからはハイレベル信号が出力される。これにより、FET52はオフになって、抵抗51は抵抗111と直列に接続されるので、FET110のソースの電位は、抵抗51が切り離されている（短絡されている）ときよりも上昇する。したがって、FET110のゲートに同じ電圧が印加されていたとしても、FET110のソースゲートバイアスは、抵抗51が切り離されているか否かに応じて変動する。つまり、このとき生成される三角波の傾きは、直前に生成された三角波、すなわちFET52がオン時に生成された三角波の傾きと比較して、変化する。

【0075】

以上の動作が繰り返され、出力端子T_{out}から、勾配の異なる三角波、つまり周期の異なる三角波が生成されて出力される。

【0076】

このような三角波に基づいて、入力信号をPWM増幅して出力すると、前記従来のPWM増幅器と同様の原理により、出力信号に含まれ得るEMIを低減することができる。そして、三角波発生回路5では、通常の三角波を生成する三角波発生回路100の構成に、Dフリップフロップ31、抵抗51およびFET52のみを追加するだけで、勾配の異なる三角波を生成するようにしているため、前記従来のPWM増幅器と比較して、製造コストをより低減させることができる。また、三角波発生回路5は、前記三角波発生回路3、3'および4に対して、三角波発生回路100に追加すべき部品点数が少なく済むので、回路構成をより簡単化することができる。

【図面の簡単な説明】**【0077】**

【図1】本発明の第1の実施の形態に係るPWM増幅器の全体構成を示すブロック図である。

【図2】図1の三角波発生回路の詳細な回路構成の一例を示す図である。

【図3】図2および図5の三角波発生回路によってそれぞれ生成される三角波の一例を示す図である。

【図4】本発明の第2の実施の形態に係るPWM増幅器に含まれる三角波発生回路の詳細な回路構成の一例を示す図である。

【図5】図2の三角波発生回路の基礎として用いた三角波発生回路の回路構成を示す図である。

【図6】図5の三角波発生回路に流れる各種信号のタイムチャートである。

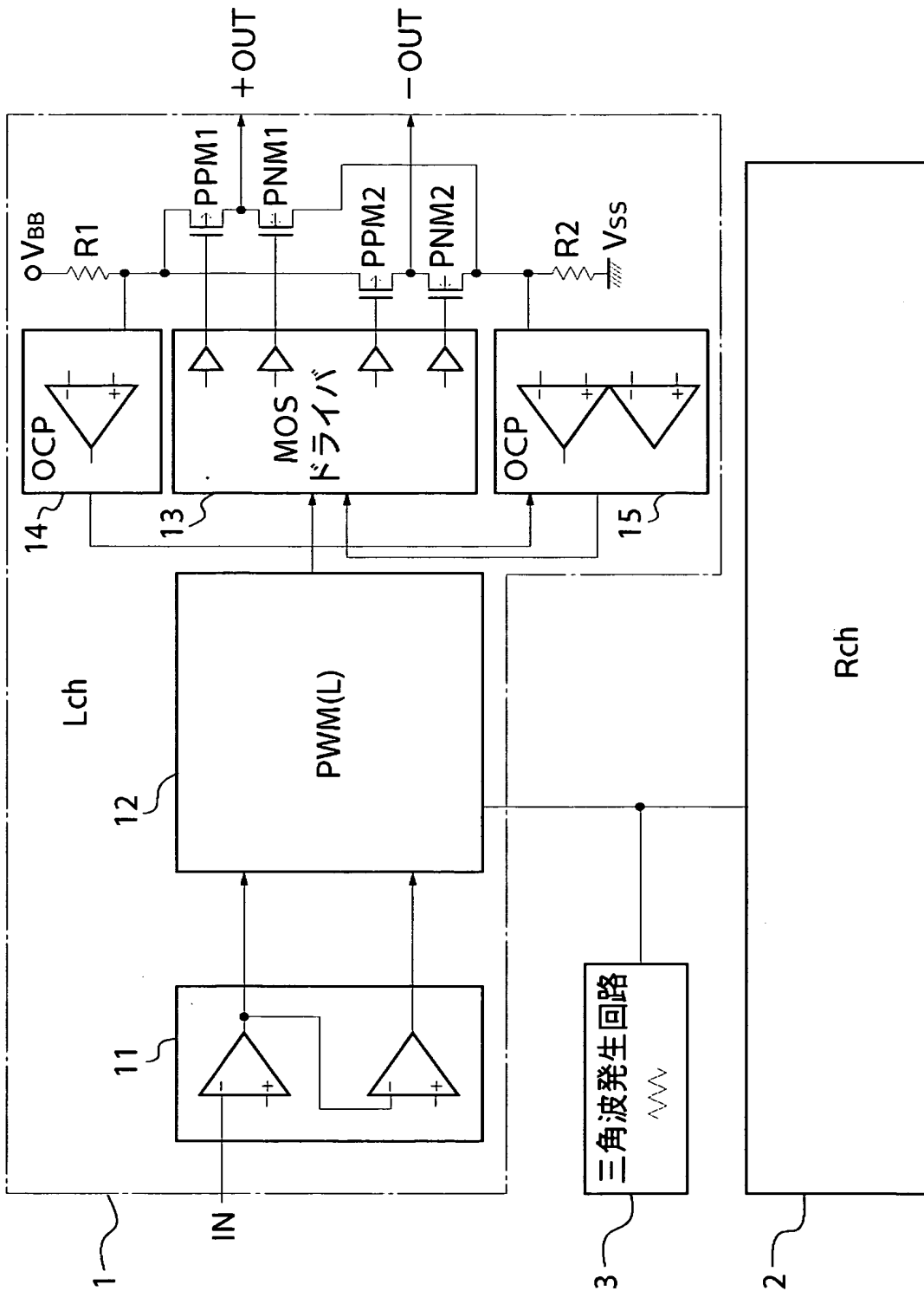
【図7】本発明の第3の実施の形態に係るPWM増幅器に含まれる三角波発生回路の詳細な回路構成の一例を示す図である。

【図8】本発明の第4の実施の形態に係るPWM増幅器に含まれる三角波発生回路の詳細な回路構成の一例を示す図である。

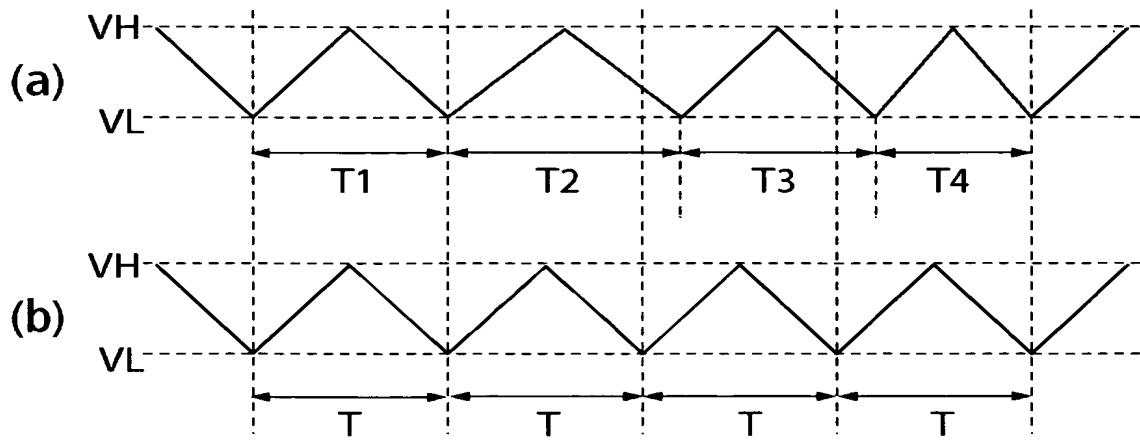
【符号の説明】**【0078】**

1…L c h P W M 増幅部 (パルス幅変調増幅手段), 3…三角波発生回路 (三角波生成手段), 3 1…D フリップフロップ (変動手段), 3 2…スイッチ素子 (変動手段、第 3 のスイッチ手段), 3 3…スイッチ素子 (変動手段、第 4 のスイッチ手段), 3 2' …スイッチ素子 (変動手段、第 5 のスイッチ手段), 3 3' …スイッチ素子 (変動手段、第 6 のスイッチ手段), 3 4…コンデンサ (変動手段、容量), 3 5, 3 6…定電流源, 4 1…F E T (第 3 の定電流源), 4 2…F E T (第 4 の定電流源), 4 3…スイッチ素子 (第 8 のスイッチ手段), 4 4…スイッチ素子 (第 9 のスイッチ手段), 5 1…抵抗 (第 2 の抵抗), 5 2…F E T (第 7 のスイッチ手段), 1 0 1…位相比較器 (位相比較手段), 1 0 2, 1 0 3…電界効果トランジスタ (電流生成手段), 1 0 4, 1 0 5…定電流源 (電流生成手段), 1 0 6…ロウパスフィルタ, 1 1 0…電界効果トランジスタ (定電流値設定手段、制御手段), 1 1 1…抵抗 (第 1 の抵抗), 1 1 6…電界効果トランジスタ (第 1 の定電流手段), 1 1 7…電界効果トランジスタ (第 2 の定電流手段), 1 1 8…スイッチ素子 (第 1 のスイッチ手段), 1 1 9…スイッチ素子 (第 2 のスイッチ手段), 1 2 0…コンデンサ (積分手段), 1 2 1…演算増幅器 (積分手段), 1 2 2…コンパレータ (第 2 の比較手段), 1 2 3…コンパレータ (第 1 の比較手段), 1 2 4, 1 2 5…N A N D ゲート (フリップフロップ)

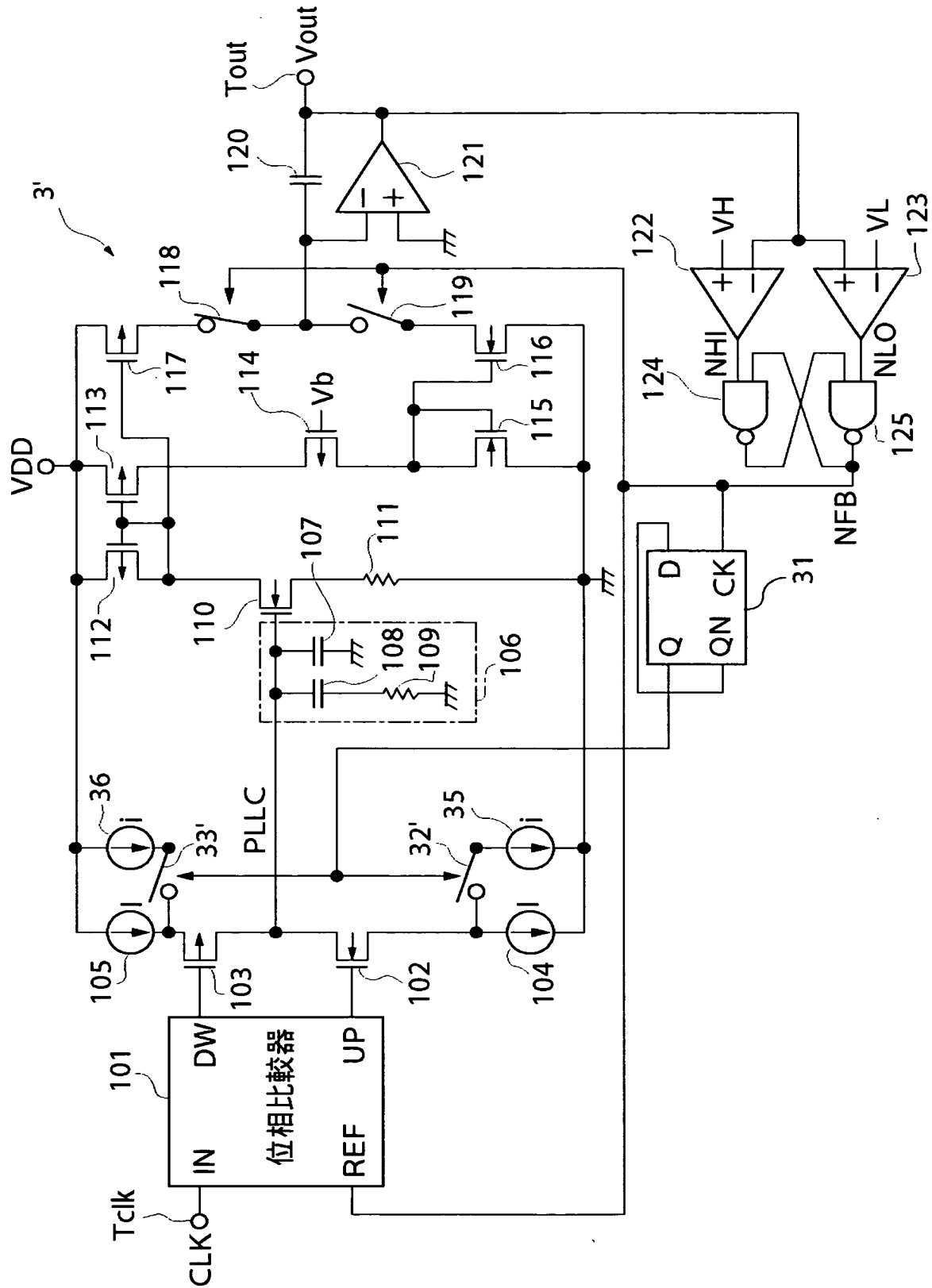
【書類名】 図面
【図 1】



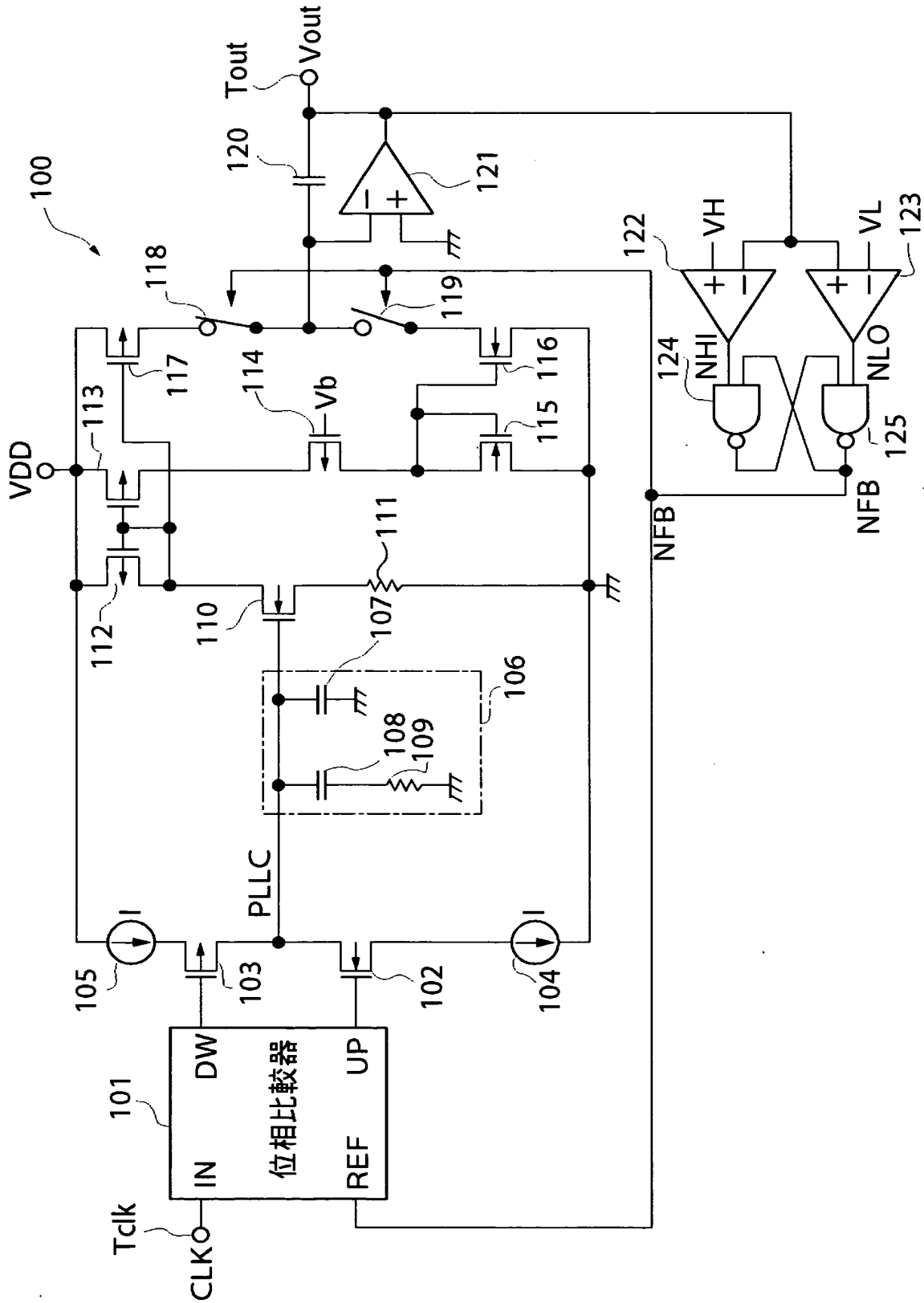
【図 3】



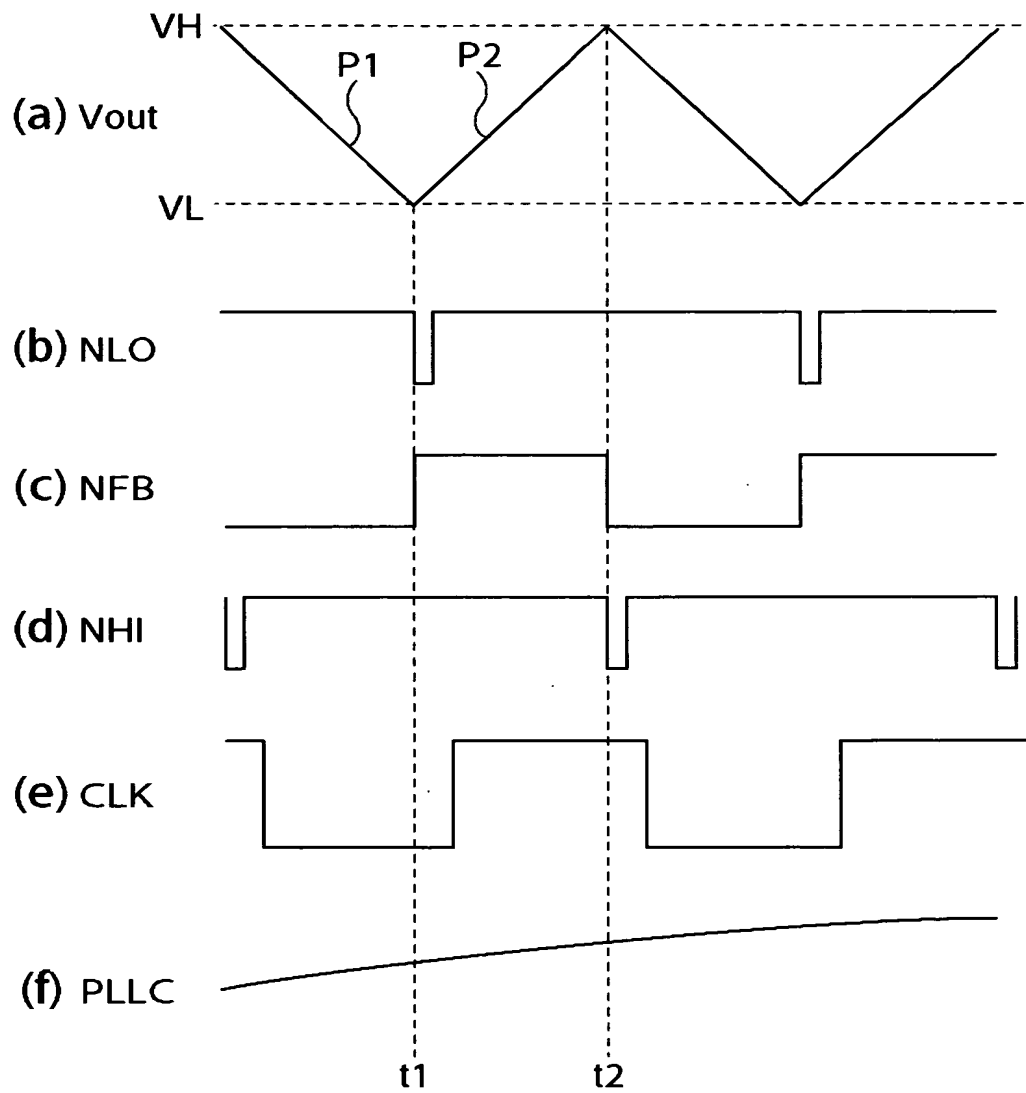
【図4】



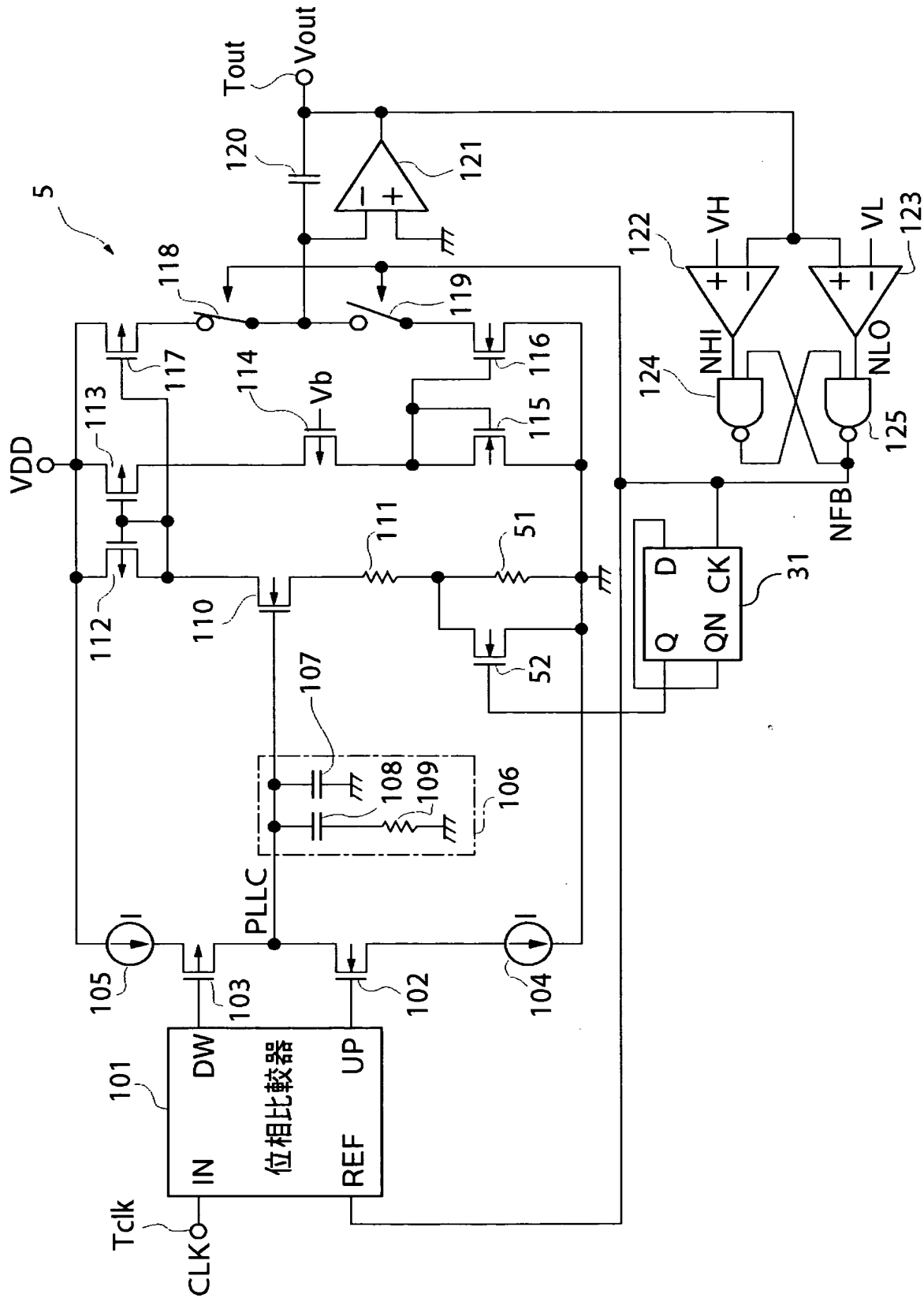
【図 5】



【図 6】



【図 8】



【書類名】 要約書

【要約】

【課題】 製造コストを低減させながらパルス幅変調出力に含まれ得る EMI を低減することが可能となるパルス幅変調増幅器を提供する。

【解決手段】 位相比較器 101 からの比較結果は、FET102, 103 および定電流源 104, 105 により、該比較結果に従ったアナログ信号 PLLC に変換されて、コンデンサ 107 に供給される。コンデンサ 107 の電位は、FET110 のゲートの電位となり、FET110 は、このゲートの電位に応じた電流値の電流を FET112 に流す。FET112 に流れる電流の値と、FET116, 117 に流れる電流の値は同じであり、FET116, 117 に流れる電流の値は生成する三角波の傾きを決めるので、FET110 の電位は、生成する三角波の傾きを決める。そして、D フリップフロップ 31、スイッチ素子 32, 33 およびコンデンサ 34 を用いて、信号 NFB の周期毎に、コンデンサ 34 をコンデンサ 107 に接続するか否かを制御することにより、同じ信号 PLLC が供給されたときにも、FET110 の電位が変動するようにしたので、生成される三角波の周期は変動する。このような三角波に基づいて、入力信号をパルス幅変調増幅して出力すると、出力信号に含まれ得る EMI を低減することができる。

【選択図】 図 2

特願 2 0 0 4 - 0 1 3 3 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 0 7 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

静岡県浜松市中沢町 1 0 番 1 号

氏 名

ヤマハ株式会社